

(19) 日本国特許庁(JP)

(12) 特許公報 (B 2)

(11) 特許番号

第 2 9 3 2 7 6 8 号

(45) 発行日 平成11年(1999)8月9日

(24) 登録日 平成11年(1999)5月28日

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 C 13/02

H 0 1 C 13/02

D

7/10

7/10

請求項の数 2

(全 4 頁)

(21) 出願番号 特願平3-183828

(22) 出願日 平成3年(1991)6月27日

(65) 公開番号 特開平5-6810

(43) 公開日 平成5年(1993)1月14日

審査請求日 平成10年(1998)4月9日

(73) 特許権者 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 平 浩明

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(72) 発明者 中村 和敬

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(72) 発明者 米田 康信

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(74) 代理人 弁理士 下市 努

審査官 酒井 朋広

(58) 調査した分野 (Int. Cl. 6, DB名)

H01C 7/10, 13/02

(54) 【発明の名称】 抵抗付チップバリスタ

1

(57) 【特許請求の範囲】

【請求項 1】 セラミックス焼結体内に少なくとも一対の内部電極を埋設し、該各内部電極の両端面を上記焼結体の各側面に露出するとともに、該焼結体の少なくとも一側面に抵抗層を形成し、該抵抗層を介して上記内部電極の一端面を外部に導出したことを特徴とする抵抗付チップバリスタ。

【請求項 2】 請求項 1 において、上記抵抗層を、抵抗シートを貼着して、又は抵抗ペーストを塗布して形成したことを特徴とする抵抗付チップバリスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電圧非直線抵抗体として機能するチップバリスタに関し、特に静電気サージ等の高電圧パルスによる半導体部品の破壊、誤動作を確実

2

に防止できるとともに、部品点数を削減して実装コストを低減でき、かつ電子機器の小型化に貢献できるようにした構造に関する。

【0002】

【従来の技術】 近年、I C、L S I をはじめとする半導体部品では、高速処理、高速駆動、低電圧化が急速に進んでおり、これにともなって静電気サージ等の高電圧パルスの侵入による半導体部品の破壊、誤動作が生じるおそれがある。そのために電源部、信号ラインの入、出力部にノイズフィルタを接続して上記高電圧パルスを吸収するようにしている。このような信号ライン用のノイズフィルタとして、従来、数 p F ～ 数 100 p F のコンデンサやインダクタが用いられている。しかし、このコンデンサを用いても静電気のような高電圧パルスを吸収することは困難であり、半導体部品の誤動作等を確実に防止

することができない。これはインダクタを用いた場合も同様のことがいえる。このようなコンデンサに代わるものとして、従来、電圧非直線抵抗特性を有するZnO系バリスタが採用されている。このバリスタは低電圧、低容量であることから、上記高電圧パルスを吸収するノイズフィルタとして適している。ところが、上記従来のバリスタを単独でノイズフィルタとして用いた場合、該バリスタに数10Kvの静電気サージが侵入すると約100Aの電流が瞬間的に流れることから、半導体部品を保護するには、例えば上記バリスタの V_{100A} を半導体部品の破壊電圧以下に設定しなければならない。一方、上記バリスタの V_{1mA} は定格電圧の数倍程度確保する必要があることから、この両方を満足するには非常に大きな非直線係数が要求される。しかし、この非直線係数の向上には限界があることから、上記従来のバリスタ単独では高電圧パルスから半導体部品を保護しきれない場合がある。従って、従来、図4に示すように、バリスタZの信号ライン20に抵抗体21を直列接続し、該抵抗体21により半導体部品22を高電圧パルスから保護するようにしている。このようにすればバリスタの非直線係数が従来程度でも静電気サージの吸収が可能となる。

【0003】

【発明が解決しようとする課題】ところで、上記従来のバリスタに抵抗体を直列接続して保護回路を構成する場合、回路基板にバリスタと抵抗体とを別々に実装することから、該抵抗体の分だけ部品点数が増えるとともに、実装コストが上昇するという問題がある。また、抵抗体の分だけ実装スペースが拡大することから、近年の電子機器の分野における小型化に対応できないという問題もある。

【0004】本発明は、上記従来の状況に鑑みてなされたもので、高電圧パルスの侵入による半導体部品の破壊、誤動作を確実に防止できるとともに、部品点数、実装コストを低減でき、しかも小型化に対応できる抵抗付チップバリスタを提供することを目的としている。

【0005】

【課題を解決するための手段】そこで請求項1の発明は、焼結体内に少なくとも一対の内部電極を埋設し、該各内部電極の両端面を上記焼結体の各側面に露出するとともに、該焼結体の少なくとも一側面に抵抗層を形成し、該抵抗層を介して上記内部電極の一端面を導出したことを特徴とする抵抗付チップバリスタである。また、請求項2の発明は、上記抵抗層を、抵抗シートを貼着したり、あるいは抵抗ペーストを塗布したりして形成したことを特徴としている。

【0006】

【作用】請求項1の発明に係る抵抗付チップバリスタによれば、焼結体の側面に抵抗層を形成し、該抵抗層を内部電極の一端面に接続したので、該抵抗層が付加された内部電極を信号ラインに接続することによって、静電気

サージが侵入しても内部電極間のバリスタ部で高電圧パルスを吸収するとともに、この時の吸収電圧が半導体部品の破壊電圧より高い場合は上記抵抗層が吸収することとなり、半導体部品の誤動作や破壊を確実に防止できる。また、上記焼結体の側面に抵抗層を形成するだけの構造であるから、バリスタ機能と抵抗機能とを単一の素子で得ることができ、従来のバリスタと抵抗体とを別々に実装する場合に比べて部品点数を削減できるとともに、実装コストを低減できる。さらに従来の抵抗体を不要にできる分だけ実装スペースを縮小でき、電子機器の小型化に対応できる。また、請求項2の発明では、抵抗層を抵抗シートを貼着したり、あるいは抵抗ペースト塗布したりして形成したので、抵抗層の厚さや面積を変えることにより、容易にかつ正確に抵抗値を制御できる。

【0007】

【実施例】以下、本発明の一実施例を図について説明する。図1ないし図3は本発明の一実施例による抵抗付チップバリスタを説明するための図である。図において、1は本実施例の抵抗付チップバリスタであり、これは立方体状のセラミックス焼結体2の内部に第1、第2内部電極3、4を交差させて埋設し、該焼結体2の左、右端面2a、2bに端面電極5、5を形成するとともに、上記焼結体2の両側面2c、2dの中央部に側面電極6、6を形成して構成されている。また、上記焼結体2の、第1、第2内部電極3、4に挟まれた部分は電圧非直線特性を発現するセラミックス層7aとなっており、該セラミックス層7aは所定のバリスタ電圧が得られる厚さに設定されている。さらに上記焼結体2のセラミックス層7a以外の上部、及び下部はダミーとしてのセラミックス層7b、7cとなっている。

【0008】また、上記第1内部電極3の両端面3a、3bは焼結体2の両側面2c、2dに露出しており、残りの端面は焼結体2内に封入されている。さらに上記第1内部電極3の各端面3a、3bは上記側面電極6に接続されている。さらにまた、上記第2内部電極4の両端面4a、4bは上記焼結体2の左、右端面2a、2bに露出されており、残りの端面は焼結体2内に封入されている。

【0009】そして、上記焼結体2の右端面2bには抵抗層8が形成されている。この抵抗層8は上記第2内部電極4の端面4bに接続されており、これにより該第2内部電極4は抵抗層8を介して上記端面電極5に接続されている。

【0010】次に本実施例の抵抗付チップバリスタ1の製造方法について説明する。まず、ZnO(97.8mol %)、Bi₂O₃(0.5mol %)、MnO(0.5mol %)、CO₂O₃(0.5mol %)、Sb₂O₃(0.7mol %)を混合してなるセラミックス材料に、有機バインダー、アルコールを混合してスラリーを形成する。このスラリーからドクターブレード法により所定厚さのグリーンシートを形成

し、このグリーンシートを所定寸法の矩形状に切断して多数のセラミックスシートを形成する。これにより、電圧非直線特性を発現するセラミックス層 7 a、及びダミーとしてのセラミックス層 7 b、7 c を多数枚形成する。次に、上記セラミックス層 7 a の上面の中央部に $Ag/Pd = 7/3$ からなるペーストを印刷して帯状の第 2 内部電極 4 を形成する。この場合、該内部電極 4 の両端面 4 a、4 b のみがセラミックス層 7 a の両外縁に位置するように形成する。次いで、1 枚のダミー用セラミックス層 7 c の上面の中央部に上記第 2 内部電極 4 と交差するよう上記ペーストを印刷して第 1 内部電極 3 を形成する。この場合も、該内部電極 3 の両端面 3 a、3 b のみがセラミックス層 7 c の両外縁に位置するように形成する。次に、図 3 に示すように、上記セラミックス層 7 a の上部に多数枚のダミー用セラミックス層 7 b を重ねるとともに、下部に第 1 内部電極 3 が形成されたセラミックス層 7 c を重ねるとともに、残りのダミー用セラミックス層 7 c を重ね、これをプレスで圧着して積層体を形成する。これにより上記セラミックス層 7 a を挟んで第 1、第 2 内部電極 3、4 の交差部が対向し、かつ第 1、第 2 内部電極 3、4 の両端面 3 a、3 b、4 a、4 b のみが積層体の各側面に露出するとともに、残りの各端面が積層体内に埋設されることとなる。次いで、上記積層体を空气中にて 1000℃ に加熱焼成して焼結体 2 を得る。そして、上記焼結体 2 の右端面 2 b にカーボン、酸化ルテニウムからなる抵抗シートを貼着した後、焼き付けて抵抗層 8 を形成する。なお、この抵抗層は上記カーボン、酸化ルテニウムからなるペーストを塗布して形成してもよい。最後に、上記焼結体 2 の左、右端面 2 a、2 b、及び両側面 2 c、2 d の中央部に $Ag/Pd = 7/3$ からなるペーストを塗布した後、焼き付けて端面電極 5、側面電極 6 を形成する。これにより上記第 1 内部電極 3 の両端面 3 a、3 b は上記各側面電極 6 に接続されることとなり、第 2 内部電極 4 の左端面 4 a は端面電極 5 に接続され、かつ右端面 4 b は抵抗層 8 を介して端面電極 5 に接続される。これで本実施例の抵抗付チップバリスタ 1 が製造される。

【0011】次に本実施例の作用効果について説明する。本実施例の抵抗付チップバリスタ 1 では、各端面電極 5 を信号ラインに接続し、各側面電極 6 を接地ラインに接続することにより、信号ラインから侵入する静電気サージなどの高電圧パルスを第 1、第 2 内部電極 3、4 のセラミックス層 7 a 部分で吸収し、側面電極 6 から放出する。この時の吸収電圧が半導体部品の破壊電圧より高い場合は抵抗層 8 がこの電圧を降下させる機能を有している。このように本実施例によれば、焼結体 2 の右側

面 2 b に抵抗層 8 を形成し、該抵抗層 8 を介して第 2 内部電極 4 の一端面 4 b を端面電極 5 に接続したので、上述のように半導体部品の破壊電圧より大きい静電気サージが侵入しても抵抗層 8 で抑制することができ、その結果 IC、LSI 等の半導体部品の誤動作や破壊を確実に回避できる。また、本実施例では、上記焼結体 2 の抵抗層 8 を形成するだけでよいから、1 つの素子にバリスタ機能と抵抗機能とを付加することができ、従来のバリスタと抵抗体とを別々に実装する場合に比べて部品点数を削減できるとともに、実装コストを低減でき、しかも実装スペースを縮小して電子機器の小型化に対応できる。さらに、本実施例では、上記抵抗層 8 の厚さ、面積等を変えることにより、抵抗値を容易に設定できる。

【0012】なお、上記実施例では、抵抗層 8 を焼結体 2 の右端面 2 b にのみ形成した場合を例にとったが、本発明は焼結体 2 の左、右端面 2 a、2 b の両方に抵抗層を形成してもよい。また、上記実施例では、焼結体 2 内に一对の内部電極 3、4 を埋設したが、本発明はこれに限るものではなく、複数組の内部電極を埋設したものにも適用できる。

【0013】

【発明の効果】以上のように本発明に係る抵抗付チップバリスタによれば、焼結体の側面に抵抗層を形成し、該抵抗層を介して内部電極の一端面を外部に導出したので、電源部、信号ラインの入出力部から侵入した静電気サージ等の高電圧パルスを吸収でき、半導体部品の誤動作や破壊を確実に防止できる効果があり、また部品点数、実装コストを低減できるとともに、実装スペースを縮小して電子機器の小型化に貢献できる効果がある。

【図面の簡単な説明】

【図 1】本発明の一実施例による抵抗付チップバリスタを説明するための断面図である。

【図 2】上記実施例の抵抗付チップバリスタの斜視図である。

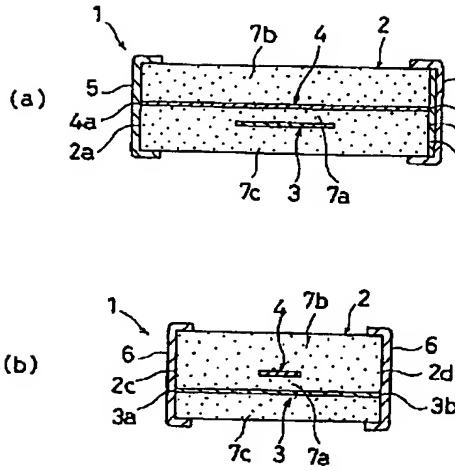
【図 3】上記実施例の抵抗付チップバリスタの分解斜視図である。

【図 4】従来のバリスタに抵抗体を付加した状態を示す等価回路図である。

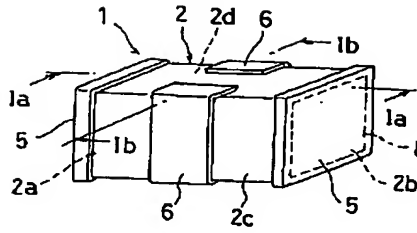
【符号の説明】

- 1 抵抗付チップバリスタ
- 2 焼結体
- 2 b 焼結体の端面（側面）
- 3、4 第 1、第 2 内部電極
- 4 b 内部電極の一端面
- 8 抵抗層

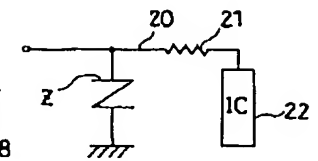
【図 1】



【図 2】



【図 4】



【図 3】

